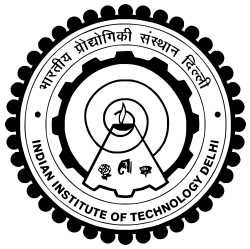
HIGH DYNAMIC RANGE CMOS IMAGE SENSORS FOR LOW LIGHT APPLICATIONS

NEHA PRIYADARSHINI



DEPARTMENT OF ELECTRICAL ENGINEERING
INDIAN INSTITUTE OF TECHNOLOGY DELHI
AUGUST, 2023

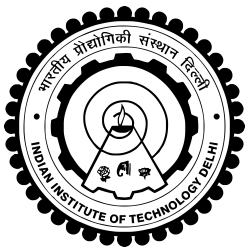
HIGH DYNAMIC RANGE
CMOS IMAGE SENSORS
FOR LOW LIGHT APPLICATIONS

by

NEHA PRIYADARSHINI
Department of Electrical Engineering

Submitted

in fulfillment of the requirements of the degree of Doctor of Philosophy
to the



INDIN INSTITUTE OF TECHNOLOGY DELHI

AUGUST, 2023

In loving memory of Dr. Major Amit Handa

Certificate

This is to certify that the thesis entitled **"High Dynamic Range CMOS Image sensors for Low Light Applications"**, being submitted by **Mrs. Neha Priyadarshini** for the award of the degree of **Doctor of Philosophy** to the Department of Electrical Engineering, Indian Institute of Technology Delhi, is a record of bonafide work done by her under my supervision and guidance. The matter embodied in this thesis has not been submitted to any other University or Institute for the award of any other degree or diploma.

Mukul Sarkar
Associate Professor,
Department of Electrical Engineering,
Indian Institute of Technology Delhi,
Hauz Khas, New Delhi - 110016,
INDIA.

Acknowledgements

My tenure as a PhD student at IIT Delhi has been a transformative time in my life. I will always cherish the memories and experiences from this time.

I would first and foremost like to thank my thesis advisor, Dr. Mukul Sarkar for his support and insightful guidance. Through these years, he has gradually instilled in me the courage and patience to face mammoth challenges tactfully. For this learning among many others, I will always be grateful. I sincerely thank Dr. Shouri Chatterjee for the extremely helpful technical discussions.

I acknowledge my dissertation committee Dr. Shouri Chatterjee, Dr. Sumantra Dutta Roy and Dr. Samaresh Das for listening and providing valuable feedback. I am grateful to the Ministry of Electronics and Information Technology (Miety), Govt. of India for the financial support under the Visvesvaraya PhD scheme. I also acknowledge the Department of Electrical Engineering at IIT Delhi and all its members for providing the facilities to carry out my research work.

I would like to thank all members of the CMOS image sensors research group at IIT Delhi. I am particularly grateful to my group members Rahul Kumar Singh, Dr. Chandani Anand and Nitin Gupta for all the professional and personal support. It was a tremendous learning experience to carry out research activities with them. I would like to thank the students Viswesh Ramkumar, Shobhit Gupta and Siddhant Jain for working with me. Collaborative research work with all persons mentioned above has taught me a great deal about teamwork. I also thank Onsemi Image Sensors Group for providing an opportunity for me

to work with them during my thesis writing months.

I thank my friends TR Aashish and Dr. Shubham Sahay for making my PhD journey so joyous even in the dull and challenging moments.

My sincere thanks to my mother, Deepti Handa, my husband, Jayant Adlakha and my daughter Vinisha Adlakha who have so patiently and lovingly provided me unconditional love and encouragement at all times. I also thank my grandparents, Raghbir Handa and Kamla Handa, my parents-in-law, Harish Adlakha and Usha Adlakha, my sister-in-law, Janita and my best friend, Shanin for their support. Lastly and most importantly, I thank Late Dr. Maj. Amit Handa for being my guiding light.

Neha Priyadarshini

Abstract

This thesis presents dynamic range extension techniques for CMOS image sensors tailored for low light applications. The standard dynamic range of a CMOS imager is 50-60 dB. A high dynamic range (HDR) CMOS image sensor has the ability to capture a greater light range. Thus, it can successfully reproduce the high contrast information in a scene. The dynamic range of a CMOS image sensor in low light is limited by the noise floor of the sensor. Enhancement of dynamic range in low light requires suppression of the electronic noise or modification of signal readout such that it can overcome the electronic noise.

Several techniques allow sensors to perform low light detection. However, there are many trade-offs to enhancing the low light detection capability. Many signal multiplication techniques require higher power budgets, a larger pixel area and a reduction in the high light dynamic range. Whereas, noise suppression techniques require complicated and costly fabrication process modifications or a larger area and power consumption.

This thesis is motivated by the need to have low light sensing imagers without compromising on the power and area budget especially pixel area. The techniques presented here involve minimal additional hardware that does not introduce noise of its own and does not require process modification. They are compatible with existing standard fabrication processes and require minor or no changes in the standard 3T and 4T pixel architectures. Thus, they are simple to implement and cost effective. Moreover, the dynamic range is user programmable which assists the user to optimally decide the required range and simultaneously have control on other performance parameters like sensitivity and frame rate. The

flexibility provided by the proposed techniques should make their inclusion in low light sensing applications straightforward and effortless.

The underlying approach for the first prototype is a two way approach for optimum performance. First method is to increase the signal gain in the early stage of the signal chain. This makes the noise sources appearing afterwards less noticeable at the output. Second method is to decrease the noise floor itself. For signal gain enhancement, the proposed pixel architecture achieves user-programmable conversion gain modulation by periodically varying the gate-bulk capacitance of the in-pixel source follower. To implement this technique, the source follower is re-configured as a MOS capacitor for part of the pixel operation. A prototype sensor containing a 64 $\times$ 64 array of the proposed pixels has been fabricated in AMS 0.35 μm, 3.3 V CMOS technology to verify the operation. The 10 μm pitch pixel has a 20.25% fill factor. The pixel is capable of providing standard integrated photo-signal in high illumination and amplified signal in low illumination which results in an 18 dB dynamic range enhancement after combining the outputs. Only one additional NMOS transistor is used in the pixel as compared to a standard 4T pixel to achieve the enhancement. The power consumed by the imager is 3.55 mW.

For noise reduction, the low frequency noise of the in-pixel source follower is identified as a major bottleneck. The previously outlined architecture is re-used with a modified timing to obtain 1/f noise reduction and high conversion gain. 1/f noise is reduced by periodically switching the in-pixel source follower between depletion and inversion. The depletion state is achieved by re-configuring the source follower into a MOS capacitor and

depleting the channel by controlling the source-drain terminal. As mentioned above, the state change of the in-pixel source follower also enhances the conversion gain. Experimental verification shows the measured integrated noise at the output of a pixel in the frequency band 128 Hz to 50 KHz to be 728 μV_{rms} without switching. At a switching frequency of 4 MHz, the output integrated noise reduces to 306 μV_{rms} after switching resulting in a 7.5 dB reduction. The input referred noise in electrons calculated with the help of photon transfer curve method shows a reduction from 26e^-_{rms} to 7.3e^-_{rms} after applying switching. When both, switching and conversion gain enhancement are applied, the input referred noise is further reduced to 2.3e^-_{rms} with an enhanced conversion gain of 398 $\mu V/e^-$.

Most HDR techniques in CMOS technology require on-chip or off-chip reconstruction of images taken at multiple gain settings or multiple integration times. Alternatively, a one-shot HDR sensor which directly captures the HDR scene requires no reconstruction and is highly preferred. The next technique proposed in this thesis enhances low light dynamic range and has a one shot HDR response. The technique employs pulse width modulation and a modified counting scheme to provide a convenient, user-programmable method for controlling the dynamic range and sensitivity depending upon the ambient light. The PWM technique offers uniform SNR which is independent of photo-diode current. This aspect is utilized to improve imaging particularly in the low light region. A prototype sensor composed of a 128 $\times$ 128 array of standard 3T-pixels, an area-efficient column circuitry with double sampling operation, a 10-bit memory, and a modified chip level counter has been fabricated to test the algorithm. The test chip has been fabricated in 350 nm AMS

process. The maximum dynamic range obtained is 95 dB and the power consumption measured at 36 fps is 8.4 mW with a 3.3 V power supply.

सार

यह थीसिस CMOS सेंसर के लिए गतिशील रेंज विस्तार तकनीकों को प्रस्तुत करती है कम रोशनी वाले अनुप्रयोगों के लिए. CMOS इमेजर की मानक गतिशील रेंज 50-60 डीबी है. एक उच्च गतिशील रेंज (एचडीआर) CMOS छवि सेंसर में अधिक से अधिक कैप्चर करने की क्षमता होती है प्रकाश सीमा. इस प्रकार, यह किसी दृश्य में उच्च कंट्रास्ट जानकारी को सफलतापूर्वक पुन: पेश कर सकता है।

कम रोशनी में CMOS इमेज सेंसर की गतिशील रेंज शोर तल द्वारा सीमित होती है. कम रोशनी में गतिशील रेंज को बढ़ाने के लिए इलेक्ट्रॉनिक के दमन की आवश्यकता होती है सिग्नल रीडआउट का शोर या संशोधन इस तरह से कि यह इलेक्ट्रॉनिक शोर पर काबू पा सके। कई तकनीकें सेंसर को कम रोशनी का पता लगाने की अनुमति देती हैं। हालाँकि, वहाँ हैं कम रोशनी का पता लगाने की क्षमता को बढ़ाने के लिए कई बदलाव किए गए। अनेक संकेत गुणन तकनीकों के लिए उच्च बिजली बजट, बड़े पिक्सेल क्षेत्र और उच्च रोशनी में कमी की आवश्यकता होती है। जबकि, शोर दमन तकनीकों के लिए जटिल और महंगी आवश्यकता होती है निर्माण प्रक्रिया में संशोधन या बड़े क्षेत्र और बिजली की खपत। यह थीसिस बिना किसी समझौता के कम प्रकाश संवेदन इमेजर्स की आवश्यकता से प्रेरित है

बिजली और क्षेत्र बजट, विशेषकर पिक्सेल क्षेत्र पर। तकनीकें प्रस्तुत की गईं यहां न्यूनतम अतिरिक्त हार्डवेयर शामिल है जो स्वयं का शोर उत्पन्न नहीं करता है और करता है प्रक्रिया संशोधन की आवश्यकता नहीं है. वे मौजूदा मानक निर्माण के साथ संगत हैं प्रक्रियाओं और मानक 3T और 4T पिक्सेल आर्किटेक्चर में मामूली या कोई बदलाव की आवश्यकता नहीं है।

इस प्रकार, इन्हें लागू करना आसान और लागत प्रभावी है। इसके अलावा, डायनामिक रेंज उपयोगकर्ता है प्रोग्राम करने योग्य जो उपयोगकर्ता को आवश्यक सीमा को इष्टतम रूप से और एक साथ तय करने में सहायता करता है संवेदनशीलता और फ्रेम दर जैसे अन्य प्रदर्शन मापदंडों पर नियंत्रण रखें। प्रस्तावित तकनीकों द्वारा प्रदान की गई लचीलेपन को कम रोशनी में भी शामिल करना चाहिए सेंसिंग एप्लिकेशन सीधे और सहज हैं।

पहले प्रोटोटाइप के लिए अंतर्निहित दृष्टिकोण इष्टतम के लिए दो-तरफ़ा दृष्टिकोण है प्रदर्शन। पहला तरीका सिग्नल के शुरुआती चरण में सिग्नल गेन को बढ़ाना है ज़ंजीर। इससे बाद में दिखाई देने वाले शोर स्रोत आउटपुट पर कम ध्यान देने योग्य हो जाते हैं।

दूसरी विधि शोर तल को ही कम करना है। सिग्नल लाभ वृद्धि के लिए, प्रस्तावित पिक्सेल आर्किटेक्चर समय-समय पर उपयोगकर्ता-प्रोग्राम योग्य रूपांतरण लाभ मॉड्यूलेशन प्राप्त करता है इन-पिक्सेल स्रोत अनुयायी के गेट-बल्क कैपेसिटेंस को अलग-अलग करना। अमल करना

इस तकनीक में, स्रोत अनुयायी को पिक्सेल के भाग के लिए एमओएस कैपेसिटर के रूप में पुन: कॉन्फ़िगर किया जाता है कार्यवाही। प्रस्तावित पिक्सेल की 64 × 64 सरणी वाला एक प्रोटोटाइप सेंसर रहा है ऑपरेशन को सत्यापित करने के लिए AMS 0.35 µm, 3.3 V CMOS तकनीक में निर्मित। 10 माइक्रोन पिच पिक्सेल में 20.25% भरण कारक है। पिक्सेल मानक एकीकृत प्रदान करने में सक्षम है उच्च रोशनी में फोटो-सिग्नल और कम रोशनी में प्रवर्धित सिग्नल जिसके परिणामस्वरूप होता है आउटपुट के संयोजन के बाद 18 डीबी गतिशील रेंज वृद्धि। केवल एक अतिरिक्त इसे प्राप्त करने के लिए मानक 4T पिक्सेल की तुलना में NMOS ट्रांजिस्टर का उपयोग पिक्सेल में किया जाता है वृद्धि। इमेजर द्वारा खपत की गई बिजली 3.55 mW है। शोर में कमी के लिए, इन-पिक्सेल स्रोत अनुयायी के कम आवृत्ति शोर की पहचान की जाती है एक बड़ी बाधा के रूप में। पहले उल्लिखित वास्तुकला को संशोधित करके पुन: उपयोग किया जाता है 1/एफ शोर में कमी और उच्च रूपांतरण लाभ प्राप्त करने का समय। 1/f शोर कम हो जाता है समय-समय पर कमी और व्युत्क्रम के बीच इन-पिक्सेल स्रोत अनुयायी को स्विच करना।

स्रोत अनुयायी को एमओएस संधारित्र में पुन: कॉन्फ़िगर करके कमी की स्थिति प्राप्त की जाती है सोर्स-ड्रेन टर्मिनल को नियंत्रित करके चैनल को ख़राब करना। जैसा कि ऊपर बताया गया है, इन-पिक्सेल स्रोत फ़ॉलोअर का राज्य परिवर्तन भी रूपांतरण लाभ को बढ़ाता है। प्रयोगात्मक सत्यापन आवृत्ति में एक पिक्सेल के आउटपुट पर मापा गया एकीकृत शोर दिखाता है 128 हर्ट्ज से 50 किलोहर्ट्ज़ बैंड को बिना स्विच किए 728 µVrms होना चाहिए। 4 की स्विचिंग आवृत्ति पर मेगाहर्ट्ज, आउटपुट एकीकृत शोर स्विचिंग के बाद 306 µVrms तक कम हो जाता है जिसके परिणामस्वरूप 7.5 डीबी होता है कमी। फोटॉन स्थानांतरण की सहायता से गणना किए गए इलेक्ट्रॉनों में इनपुट संदर्भित शोर वक्र विधि स्विचिंग लागू करने के बाद 26e−rms से 7.3e−rms तक की कमी दिखाती है। कब दोनों, स्विचिंग और रूपांतरण लाभ वृद्धि को लागू किया जाता है, इनपुट संदर्भित शोर है 398 µV/e- के उन्नत रूपांतरण लाभ के साथ इसे घटाकर 2.3e−rms कर दिया गया।

CMOS प्रौद्योगिकी में अधिकांश एचडीआर तकनीकों को ऑन-चिप या ऑफ-चिप पुनर्निर्माण की आवश्यकता होती है एकाधिक लाभ सेटिंग्स या एकाधिक एकीकरण समय पर ली गई छवियों की। वैकल्पिक रूप से, एक वनशॉट एचडीआर सेंसर जो सीधे एचडीआर दृश्य को कैप्चर करता है, उसे किसी पुनर्निर्माण की आवश्यकता नहीं है और है अत्यधिक पसंदीदा. इस थीसिस में प्रस्तावित अगली तकनीक कम रोशनी की गतिशीलता को बढ़ाती है रेंज है और इसमें वन शॉट एचडीआर रिस्पॉन्स है।

तकनीक पल्स चौड़ाई मॉड्यूलेशन को नियोजित करती है और एक सुविधाजनक, उपयोगकर्ता-प्रोग्राम योग्य विधि प्रदान करने के लिए एक संशोधित गिनती योजना परिवेशीय प्रकाश के आधार पर गतिशील रेंज और संवेदनशीलता को नियंत्रित करना। पीडब्लूएम तकनीक एक समान एसएनआर प्रदान करती है जो फोटो-डायोड करंट से स्वतंत्र है। यह पहलू इसका उपयोग विशेष रूप से कम रोशनी वाले क्षेत्र में इमेजिंग को बेहतर बनाने के लिए किया जाता है। एक प्रोटोटाइप सेंसर मानक 3T-पिक्सेल की 128 × 128 सरणी से बना, एक क्षेत्र-कुशल कॉलम सर्किटरी डबल सैंपलिंग ऑपरेशन के साथ, एक 10-बिट मेमोरी और एक संशोधित चिप लेवल काउंटर है एल्गोरिदम का परीक्षण करने के लिए निर्मित किया गया है। परीक्षण चिप का निर्माण 350 एनएम एएमएस में किया गया है प्रक्रिया। प्राप्त अधिकतम गतिशील रेंज 95 डीबी और बिजली की खपत है 36 एफपीएस पर मापा गया 3.3 वी बिजली आपूर्ति के साथ 8.4 मेगावाट है।

Table of Contents

List of Figures

List of Tables