# Hot Carrier Reliability Characterization of RF CMOS Circuits and Devices

**AARTI RATHI**

**DEPARTMENT OF ELECTRICAL ENGINEERING**

**INDIAN INSTITUTE OF TECHNOLOGY DELHI**

**AUGUST, 2023**

# Hot Carrier Reliability Characterization of RF CMOS Circuits and Devices

by

**AARTI RATHI**

**Department of Electrical Engineering**

*Submitted*

*in fulfilment of the requirements of the degree of Doctor of Philosophy*

*to the*

INDIAN INSTITUTE OF TECHNOLOGY DELHI

AUGUST, 2023

*Dedicated to*

*My Loving Family*

# Certificate

This is to certify that the thesis entitled **"*Hot Carrier Reliability Characterization of RF CMOS Circuits and Devices*"**, being submitted by Ms. **Aarti Rathi** to the Indian Institute of Technology Delhi, is worthy of consideration for the award of the degree of **Doctor of Philosophy** in Department of Electrical Engineering and is a record of the original bonafide research work carried out by her. The results presented in the thesis have not been submitted in part or full, to any other University or Institute for the award of any degree or diploma.

I certify that she has pursued the prescribed course of research.

Date:

Place:

**Prof. Abhisek Dixit**

Professor,

Department of Electrical Engineering

Indian Institute of Technology Delhi

Hauz Khas, New Delhi – 110016

# *Acknowledgement*

*I would like to express my profound gratitude to Professor Abhisek Dixit. He showed confidence in me and granted me the opportunity to pursue research at IIT Delhi under his supervision. His consistent guidance, timely encouragement, and direction assisted me in completing my dissertation. Throughout the difficult phases of my research, he has provided invaluable patience and support. He supported me during the challenging COVID-19 epidemic and has also given me the option to work remotely. I want to thank you, sir, for helping me with my Ph.D. research in every way possible and encouraging me to keep going when things got tough.*

*I would also like to extend my gratitude to the members of my Ph.D. research committee, Prof. Madhusudan Singh, Prof. Shouri Chatterjee, and Prof. P. R. Panda, for their insightful evaluations and valuable guidance throughout the course of my research.*

*This work got completed with the support of many individuals. I would thank Prof. Yogesh Singh Chauhan from IIT Kanpur for his guidance and consistent support during a collaborative project. During my research, I have used hardware fabricated by Semiconductor Laboratory, Chandigarh, India, and Global Foundries, USA. I would also like to thank our industry collaborators Mr. H. S. Jatana from SCL, Chandigarh; Dr. Fernando Guarin, Dr. Purushothaman Srinivasan, Dr. Oscar H. Gonzalez, and Dr. Naga Satish from Global Foundries. Dr. Fernando Guarin and Dr. Purushothaman Srinivasan have always been a pillar of support throughout my research. I thank them for their invaluable suggestions and support.*

*I am grateful to the Department of Science and Technology (DST), Government of India, through the Science and Engineering Research Board (SERB), under grant number CRG/2018/003974, for equipment funding required to complete this research in Device and Wafer-Level Characterization Laboratory. I also thank the Ph.D. fellowship scheme of MoE, Government of India, and Indian Institute of Technology Delhi for the financial, technical, and academic support during my research.*

*I sincerely acknowledge my seniors, Dr. Ramendra Singh, Dr. Kritika Aditya, Dr. Anshul Gupta, Dr. Charu Gupta, and Dr. Chandan Kumar Jha, for their help and direction in the technical aspects of lab equipment and research. I also acknowledge my lab mate*

*Chanchal Kumar for providing help in automating the characterization setup. It is the environment that helps us to manage our stress. A joyful environment is filled with positivity, happiness, and overall well-being. I thank my lab mates Asifa, Shruti, Sumreti, Deepesh, Shivendra, Sujit, Anuj, and other Device and Wafer Level Characterization Laboratory staff at IIT Delhi for maintaining liveliness in the lab.*

*No matter how many times I express my gratitude, it will be less. I am where I am due to the efforts of my parents Smt. Rakesh Devi and Sh. Premveer Singh. They provided me with the best education and every luxury beyond their means. Things become easy when we have our partner by our side. I thank my husband Akhilesh for motivating me to pursue a career in research and guiding me whenever I needed him. My research would never have been smooth without his support and love. I also thank my younger brother Dr. Akshay for helping me with all the basic requirements, providing me with all the required medicines, picking and dropping me off at IIT Delhi during COVID-19, and accompanying me everywhere. During my low phase, he motivated me and always lightened my mood. I want to thank my parent's in-laws Smt. Yashoda Rawat and Sh. J. S. Rawat for their unwavering support and love. They always supported me and freed me from all the responsibilities I should have taken, which I will now be taking care of.*

*I also extend my gratitude to everyone I have missed. Sincere appreciation to everyone who has helped me become who I am today.*

**Date:** **Aarti Rathi**

**Place:**

# Abstract

An increasing demand for high-speed processing and integration has pushed device engineers to continue with device scaling. But several phenomena are responsible for the degradation of transistor performance, i.e., hot carrier degradation (HCD), bias temperature instability (BTI), time-dependent dielectric breakdown (TDDB), and electromigration (EM). Front-end modules such as Power Amplifiers (PAs), Switches, and Low Noise Amplifiers (LNAs) operate at large RF signals, and the drain terminal experiences a bias of more than twice the power supply voltage ($V_{DD}$) due to large voltage swings. In the case of PAs, depending on their class, the peak of drain voltage could even reach twice or thrice the nominal supply voltage. Such high voltages at the drain terminal of n-channel MOSFETs are known to generate HCD where strong lateral electric field near the drain increases the energy of carriers which leads to impact ionization, trapping of carriers, and interface state generation. These voltage swings that cause a change in degradation mechanisms can be impacted by the varying continuous wave (CW) frequencies. The analysis of reliability behaviour at elevated temperatures also becomes critical to be explored due to increased power dissipation, which reduces the lifetime and performance of devices and circuits. Thus, the temperature dependence on the small and large-signal reliability performance of PA is also required for real-world product front-end applications.

In this thesis, an extensive experimental analysis of hot carrier degradation (HCD) due to DC and large-signal RF stress on an n-channel FET based power amplifier (PA) cell in the sub-7GHz frequency band is done. Through this work, an attempt is made to explore differences in hot carrier degradation mechanisms between DC and RF stress conditions. Generation of defects and their types, i.e., whether oxide or interface traps, are understood using a combination of RF and DC stress conditions. To further observe the impact of large-signal stress for mmWave applications, DC and RF stresses are applied in conducting and non-conducting hot carrier stress modes at a CW of 26.5GHz. It is observed that a change in CW frequency alters the shape of voltage swings which changes the degradation mechanisms and severity of degradation in PA. To

understand different degradation mechanisms, simulation of devices and circuits is also done using the PDK models correlated with experimental data.

As the reliability of the p-FETs is superior to n-FETs, a comparative large-signal reliability investigation is carried out between p-FET PA and n-FET PA for mmWave applications and is found that that the RF reliability of the p-FET PA cell is superior to its counterpart n-FET PA cell. Accelerated temperature worsens the reliability performance and thus the large-signal reliability of PA cell for accelerated temperatures is explored. The degradation mechanism for a p-FET based PA involves trapping hot holes in pre-existing traps and the generation of new traps in the oxide due to hot holes. A non-linear relationship between DC and RF figure of merits is investigated for the increasing temperature. For an n-FET based PA, it is found that the unity gain frequencies are also temperature sensitive and show high degradation at elevated temperatures. It is observed that the lifetime is more than ten years when the PA operates at room temperature, which deteriorates as the measurement chuck temperature rises. Further the impact of RF frequency on the DC and large signal reliability performance of a single n-FET based power-amplifier (PA) cell for three different frequency bands, i.e., Ku, K, and Ka band is investigated. The overall performance of the PA cell is superior in the Ka-band but the performance degradation due to reliability mechanisms is also more in this band. It is observed that to achieve superior performance and reliability, a PA cell should be operated at high-frequency bands and the stress power should be kept below P1dB values.

After a detailed reliability study on PA cell, the degradation mechanisms in RF switches for 45nm RFSOI technology under DC and RF stress modes are also investigated in this thesis. A single pole single-throw RF switches using thin and thick gate oxide in series stacked configurations using $R_{ON}.C_{OFF}$ as a key metric is used for the study. Degradation and breakdown is observed to depend on stress time, DC gate and drain voltages, and RF power. The mechanism causing degradation is studied using the voltage swings at the terminals of the RF switch. RF Switch is observed to exhibit superior reliability under RF 5G mmWave operating conditions. The findings in this work provides an overall picture of large-signal reliability of transceiver for mmWave applications and suggests the region of safe operation to achieve 10-year lifetime.

# सार

उच्च गति प्रसंस्करण और एकीकरण की बढ़ती मांग ने उपकरण अभियंताओं को उपकरण स्केलिंग के साथ जारी रखने के लिए मजबूर किया है। लेकिन ट्रांजिस्टर प्रदर्शन के अवनवीकरण के लिए कई प्रकार की घटनाएं जिम्मेदार हैं, जैसे हॉट कैरियर घटना (एचसीडी), बायस तापमान अस्थिरता (बीटीआई), समयांतरित दिएलेक्ट्रिक ब्रेकडाउन (टीडीडीबी), और इलेक्ट्रोमाइग्रेशन (ईएम)। पावर एम्प्लीफायर (पीए), स्विचेस, और लो नॉइज एम्प्लीफायर (एलएनए) जैसे फ्रंट-एंड मॉड्यूल बड़े आरएफ सिग्नल पर संचालित होते हैं, और ड्रेन टर्मिनल विशेष रूप से बड़ी वोल्टेज स्विंग के कारण पावर सप्लाई वोल्टेज (वीडीडी) से दोगुना से अधिक बायस अनुभव करता है। पीए के मामले में, उनके क्लास पर निर्भर करता है, ड्रेन वोल्टेज का शीर्ष बिंदु नामक सप्लाई वोल्टेज के दो या तीन गुना तक जाने सकता है। इस तरह की उच्च वोल्टेजें एन-चैनल मॉसफेट्स के ड्रेन टर्मिनल पर एचसीडी उत्पन्न करने के लिए जाने जाते हैं, जहां ड्रेन के आस-पास के सशक्त विद्युत क्षेत्र से धारकों की ऊर्जा को बढ़ाकर यह कैरियर्स के प्रतिक्रिया अपक्षेपण, कैरियर्स को फंसाने और इंटरफेस स्थिति उत्पन्न होती है। ये वोल्टेज स्विंग्स जो अवनवीकरण में परिवर्तन का कारण बनती हैं, उन्हें बदलते चक्रवात (सीडब्ल्यू) फ्रीक्वेंसी द्वारा प्रभावित किया जा सकता है। उच्च तापमान पर विश्वसनीयता व्यवहार का विश्लेषण बढ़े हुए विद्युत विघटन के कारण महत्वपूर्ण हो जाता है, जो उपकरणों और परिपथों के प्रदर्शन और उम्र को कम करता है। इस प्रकार, पीए के छोटे और बड़े सिग्नल विश्वसनीयता प्रदर्शन पर तापमान का अधीनता भी वास्तविक विश्वव्यापी उत्पाद फ्रंट-एंड अनुप्रयोगों के लिए आवश्यक है।"।

इस थीसिस में, एन–चैनल एफईटी आधारित पावर एम्प्लीफायर (पीए) सेल पर डीसी और लार्ज–सिग्नल आरएफ तनाव के कारण हॉट कैरियर घटना (एचसीडी) का व्यापक प्रयोगात्मक विश्लेषण सब–7जीएचजी फ्रीक्वेंसी बैंड में किया गया है। इस काम के माध्यम से, डीसी और आरएफ तनाव की स्थितियों के बीच हॉट कैरियर घटना विकृति यांत्रिकियों के अंतर का पता लगाने का प्रयास किया गया है। आरएफ और डीसी तनाव की स्थितियों के संयोजन का उपयोग करके डिफेक्ट्स की उत्पत्ति

और उनके प्रकार, यानी ऑक्साइड या इंटरफेस ट्रैप्स, को समझा गया है। मिलीमीटरवेव अनुप्रयोगों के लिए लार्ज-सिग्नल तनाव के प्रभाव को और अधिक देखने के लिए, डीसी और आरएफ तनाव एक CW (सतत तरंग) आवृत्ति पर 26.5जीएचजी में निष्पादित किए जाते हैं। यह देखा जाता है कि CW आवृत्ति में परिवर्तन, वोल्टेज स्विंग्स के आकार को बदलता है, जो पीए में अवनवीकरण यांत्रिकियों और घटना के कठोरता को परिवर्तित करता है। विभिन्न अवनवीकरण यांत्रिकियों को समझने के लिए, उपकरणों और सर्किटों के प्रसिद्ध पीडीके (प्रोजेक्ट डिजाइन किट) मॉडल के साथ प्रयोगात्मक डेटा के साथ सिमुलेशन भी किया गया है।

फ़िनफ़ैट पी-एफईटी (p-FETs) की विश्वसनीयता एन-एफईटी (n-FETs) से उत्कृष्ट होने के कारण, एमएमवेव अनुप्रयोगों के लिए पी-एफईटी पीए और एन-एफईटी पीए के बीच एक तुलनात्मक बड़े सिग्नल विश्वसनीयता अनुसंधान किया गया है और पाया गया है कि पी-एफईटी पीए सेल की आरएफ विश्वसनीयता उसके समकक्ष एन-एफईटी पीए सेल से उत्कृष्ट है। त्वरित तापमान विश्वसनीयता प्रदर्शन को बिगाड़ता है और इसलिए त्वरित तापमान के लिए पीए सेल की बड़े सिग्नल विश्वसनीयता की खोज की जाती है। पी-एफईटी पीए पर अवनवीकरण यांत्रिकी में प्रकृति में मौजूद यांत्रिकों में गर्म बिजलियों को फंसाने और गर्म बिजलियों के कारण ऑक्साइड में नई यांत्रिक उत्पन्न होने का संलग्नता होता है। वृद्धि हुए तापमान के लिए डीसी और आरएफ फिगर ऑफ मेरिट के बीच गैर-रैखिक संबंध की खोज की जाती है। एन-एफईटी पीए पर, यूनिटी गेन फ्रीक्वेंसीज़ भी तापमान संवेदक होते हैं और उच्च तापमान पर उनमें उच्च गड़बड़ी दिखाई देती है। देखा गया है कि पीए सेल का उम्र दस से ज्यादा वर्ष होता है जब पीए रूम तापमान पर संचालित होता है, जो मापन चक्रवात तापमान बढ़ने के साथ कम होता है। इसके अलावा, एकल एन-एफईटी आधारित पावर-एम्प्लीफायर (पीए) सेल की डीसी और बड़े सिग्नल विश्वसनीयता प्रदर्शन पर आरएफ आवृत्ति का प्रभाव भी तीन अलग-अलग फ्रीक्वेंसी बैंड, अर्थात्, कु बैंड, के बैंड और का बैंड के लिए जांचा गया है। पीए सेल का समग्र प्रदर्शन का का-बैंड में उत्कृष्ट होता है, लेकिन इस बैंड में विश्वसनीयता यांत्रिकियों के कारण प्रदर्शन दुर्बलता भी अधिक होती है। देखा गया है कि उत्कृष्ट प्रदर्शन और विश्वसनीयता प्राप्त करने के लिए, पीए सेल को उच्च तांत्रिक बैंडों पर संचालित किया जाना चाहिए और तनाव शक्ति को P1dB मानों से कम रखा जाना चाहिए।

इस थीसिस में, पीए सेल पर विश्वसनीयता के विस्तृत अध्ययन के बाद, 45nm आरएफएसओआई तकनीक के लिए डीसी और आरएफ तनाव मोडों के तहत आरएफ स्विचेस में भी अवनवीकरण यांत्रिकियों का अध्ययन किया जाता है। इस अध्ययन के लिए RON.COFF को एक मुख्य मापदंड के रूप में उपयोग करते हुए तिप्पणी और मोडनेंचा द्वारा एकजलीय पोल सिंगल-थ्रो आरएफ स्विच का उपयोग किया जाता है। अवनवीकरण और ब्रेकडाउन का अध्ययन देखा गया है कि तनाव समय, डीसी गेट और ड्रेन वोल्टेज, और आरएफ पावर पर निर्भर करता है। अवनवीकरण के कारण होने वाली यांत्रिकता का अध्ययन आरएफ स्विच के टर्मिनल्स पर वोल्टेज स्विंग्स का उपयोग करके किया जाता है। आरएफ स्विच का आरएफ 5जी मिलिमीटरवेव चलने की स्थितियों में उत्कृष्ट विश्वसनीयता प्रदर्शित होता है। इस काम में प्राप्त लाभ से मिलने वाला अंतिम परिणाम है, मिलिमीटरवेव अनुप्रयोगों के लिए ट्रांसीवर की बड़े सिग्नल विश्वसनीयता का सामग्री चित्र प्रदान करता है और 10 वर्षीय जीवनकाल प्राप्त करने के लिए सुरक्षित संचालन क्षेत्र का सुझाव देता है।

# Contents

# List of Figures

# List of Tables

# List of Abbreviations

| Abbreviation | Description |
|---|---|
| **BTI** | Bias Temperature Instability |
| **BSIM** | Berkeley Short-channel IGFET Model |
| **CMOS** | Complementary Metal Oxide Semiconductor |
| **CW** | Continuous Wave |
| **DIBL** | Drain Induced Barrier Lowering |
| **DUT** | Device under Test |
| **FET** | Field Effect Transistor |
| **FOM** | Figure of Merit |
| **GSG** | Ground Signal Ground |
| **HCD** | Hot Carrier Degradation |
| **HEMT** | High Electron Mobility Transistor |
| **IC** | Integrated Circuit |
| **ISS** | Impedance Standard Substrate |
| **LDD** | Low Doped Drain |
| **LNA** | Low Noise Amplifier |
| **MOSFET** | Metal Oxide Semiconductor Field Effect Transistor |
| **MSM** | Measure Stress Measure |
| **NF** | Noise Figure |
| **PA** | Power Amplifier |
| **PDK** | Process Design Kit |
| **RF** | Radio Frequency |
| **RO** | Ring Oscillator |
| **SCE** | Short Channel Effect |
| **SOC** | System On Chip |
| **SOI** | Silicon On Insulator |
| **SOLT** | Short Open Load Thru |
| **TDDB** | Time Dependent Dielectric Breakdown |
| **TRL** | Thru Reflect Load |
| **VNA** | Vector Network Analyzer |

# List of Values

| Dielectric Constant | Value |
|---|---|
| **Si** | 11.7 |
| **$SiO_2$** | 3.9 |
| **$HfO_2$** | 20 |