RESOURCE CONTENTION AWARE PERFORMANCE AND POWER OPTIMIZATION IN CHIP MULTIPROCESSORS

SOLOMON ABERA

DEPARTMENT OF COMPUTER SCIENCE & ENGINEERING

INDIAN INSTITUTE OF TECHNOLOGY DELHI

MAY 2021

RESOURCE CONTENTION AWARE PERFORMANCE AND POWER OPTIMIZATION IN CHIP MULTIPROCESSORS

by

SOLOMON ABERA

Department of Computer Science and Engineering

Submitted

in fulfillment of the requirements of the degree of Doctor of Philosophy

to the

Indian Institute of Technology Delhi

MAY 2021

Dedication

I dedicate this thesis to my late Mother, Etalemahu Kassa, who could not see this journey completed.

Certificate

This is to certify that the thesis titled **RESOURCE CONTENTION AWARE PERFORMANCE AND POWER OPTIMIZATION IN CHIP MULTIPROCESSORS** being submitted by **Mr. SOLOMON ABERA** for the award of **Doctor of Philosophy** in **Computer Science and Engineering** is a record of bona fide work carried out by him under our guidance and supervision at the **Department of Computer Science and Engineering, Indian Institute of Technology Delhi**. The work presented in this thesis has not been submitted elsewhere, either in part or full, for the award of any other degree or diploma.

M Balakrishnan
Professor
Department of Computer Science and Engineering
Indian Institute of Technology Delhi
New Delhi- 110016

Anshul Kumar
Emeritus Professor
Department of Computer Science and Engineering
Indian Institute of Technology Delhi
New Delhi- 110016

Acknowledgements

First and foremost I thank God, for all and everything.

I thank my thesis advisors Prof. M Balakrishnan and Prof Anshul Kumar, for all their help, patience and guidance. They made me not only a good scholar but also a better person. Thank you.

I thank all the faculty in the Architecture group – Prof. Panda, Prof. Kolin Paul and Dr. Sarangi for reviewing my work and providing valuable insights.

I thank Rajshaker K and my friends for all the technical discussions that aided my research and deepened my understanding, as well as for all the other experiences that made life enjoyable.

I thank my wife Eden Nisku and my children: Yohannan, Kaleab and Soleyana. Without their endless love and sacrifice, I would never have been able to complete my study.

Last but not the least, I would like to thank my sisters: Etaferahu and Aynadis for supporting me throughout this journey.

Solomon Abera

Abstract

Over the last couple of decades, Chip Multi-Processors (CMPs) – also called multicores, have been the leading architectural choice for computing systems ranging from battery-operated devices to high-end servers. Even though CMPs enhance performance through concurrent execution of application programs, the contention for shared resources makes the performance of individual application programs and associated energy consumption unpredictable. Applications sharing the memory hierarchy in CMP can slow down by more than 80% [1], completely degrading the performance improvement achieved by multicores.

The level of performance degradation encountered by a single application due to CMP shared resource contention depends on its own and co-runners' (applications running on other cores) memory behavior. By taking these factors into account, modeling the inter-application resource contention is essential as it gives valuable information to achieve performance and energy optimization.

In this thesis, we first propose lightweight metrics that accurately capture the potential contention among concurrently running applications on CMP. We also show and capture the time varying behavior of applications and extract them using phase-wise profiling.

With the help of these metrics, we propose and validate a methodology for optimizing performance that can be used in making contention aware scheduling decisions. In addition to this, we also propose a learning model that predicts the performance of applications with partially shared cache.

On the other hand, energy consumption is a critical parameter as it constitutes the most significant operating cost for computing clouds. Analogous to this, limited use time before the need to recharge batteries, continues to be an essential user concern in mobile devices. To optimize on power consumption, modern CMP processors are designed with Dynamic Voltage and Frequency Scaling (DVFS) support at the individual core as well as for the uncore part. This control on DVFS can provide for fine-grained control of performance and energy as

shown in this work. When applications slow down due to resource contention, typically their performance sensitivity to DVFS also reduces. Hence, the performance-energy trade-off curve of each application varies with its co-runners. In this thesis, we also model the performance-energy trade-off for applications running on a CMP platform with provision for both core and uncore DVFS. We use a learning algorithm to build the model. The proposed model is not statically tuned to support a specific DVFS policy. It builds a relationship between the DVFS steps based on the behavior of the chosen application and the co-runners represented through two simple metrics and performance. It is flexible enough to be part of any DVFS controller. We demonstrate the efficacy of our proposed model by considering various QoS policies where the user specifies the maximum permissible performance loss. The model predicts the lowest possible voltage/frequency step such that the QoS requirement is met and the energy saving is maximized.

सार

पिछले कुछ दशकों में, चिप मल्टी-प्रोसेसर (सीएमपी) - जिसे मल्टीकोर भी कहा जाता है, बैटरी से चलने वाले उपकरणों से लेकर परिष्कृत सर्वर तक कंप्यूटिंग सिस्टम के लिए प्रमुख वास्तुशिल्प विकल्प रहा है। भले ही सीएमपी अनुप्रयोग कार्यक्रमों के समानांतर निष्पादन के माध्यम से कंप्यूटिंग गति को बढ़ाते हैं, साझा संसाधनों के लिए विवाद प्रत्येक एप्लिकेशन प्रोग्राम और संबंधित ऊर्जा खपत के प्रदर्शन को अप्रत्याशित बनाता है। सीएमपी में मेमोरी पदानुक्रम साझा करने वाले एप्लिकेशन 80% से अधिक [1] तक धीमा हो सकते हैं, मल्टीकोर द्वारा प्राप्त प्रदर्शन सुधार को पूरी तरह से खराब कर सकते हैं। सीएमपी साझा संसाधन विवाद के कारण एकल एप्लिकेशन द्वारा सामना किए गए प्रदर्शन में गिरावट का स्तर अपने और अन्य अनुप्रयोगों (अन्य कोर पर चलने वाले एप्लिकेशन) मेमोरी व्यवहार पर निर्भर करता है। इन कारकों को ध्यान में रखते हुए, अंतर-अनुप्रयोग संसाधन विवाद को मॉडलिंग करना आवश्यक है क्योंकि यह गति और ऊर्जा अनुकूलन प्राप्त करने के लिए बहुमूल्य जानकारी देता है।

इस थीसिस में, हम पहले हल्के मेट्रिक्स का प्रस्ताव करते हैं जो सीएमपी पर समवर्ती रूप से चल रहे अनुप्रयोगों के बीच संभावित विवाद को सटीक रूप से कैप्चर करते हैं। हम अनुप्रयोगों के समय-भिन्न व्यवहार को दिखाते और कैप्चर करते हैं और चरण-वार प्रोफाइलिंग का उपयोग करके उन्हें निकालते हैं। इन मेट्रिक्स की सहायता से, हम प्रदर्शन को अनुकूलित करने के लिए एक कार्यप्रणाली का प्रस्ताव और सत्यापन करते हैं जिसका उपयोग विवाद-जागरूक शेड्यूलिंग निर्णय लेने में किया जा सकता है। इसके अलावा, हम एक मशीन-लर्निंग मॉडल भी प्रस्तावित करते हैं जो आंशिक रूप से साझा किए गए कैश के साथ अनुप्रयोगों के प्रदर्शन का अनुमान लगाता है।

दूसरी ओर, ऊर्जा की खपत एक महत्वपूर्ण पैरामीटर है क्योंकि यह क्लाउड कंप्यूटिंग के लिए सबसे महत्वपूर्ण परिचालन लागत का गठन करता है। इसके अनुरूप, बैटरियों को रिचार्ज करने की आवश्यकता से पहले सीमित उपयोग समय, मोबाइल उपकरणों में एक आवश्यक उपयोगकर्ता चिंता का विषय बना हुआ है। बिजली की खपत को अनुकूलित करने के लिए, आधुनिक सीएमपी प्रोसेसर को प्रत्येक कोर के साथ-साथ अनकोर भाग के लिए डायनेमिक वोल्टेज और फ़्रीक्वेंसी स्केलिंग (डीवीएफएस) समर्थन के साथ डिज़ाइन किया गया है। इस तरह के डीवीएफएस गति और ऊर्जा का बारीक नियंत्रण प्रदान कर सकते हैं, जैसा कि इस कार्य में दिखाया गया है। जब संसाधन विवाद के कारण अनुप्रयोग धीमा हो जाता है, तो यह आमतौर पर डीवीएफएस के प्रति उनकी गति संवेदनशीलता को कम कर देता है। इसलिए, प्रत्येक

एप्लिकेशन की गति और ऊर्जा ट्रेडऑफ़ वक्र सह-निष्पादन अनुप्रयोगों के साथ भिन्न होता है। इस थीसिस में, हम कोर और अनकोर डीवीएफएस दोनों के प्रावधान के साथ सीएमपी प्लेटफॉर्म पर चलने वाले अनुप्रयोगों के लिए गति और ऊर्जा ट्रेडऑफ़ को भी मॉडल करते हैं। हम मॉडल बनाने के लिए मशीन लर्निंग एल्गोरिदम का उपयोग करते हैं। प्रस्तावित मॉडल किसी विशिष्ट डीवीएफएस नीति का समर्थन करने के लिए स्थिर रूप से ट्यून नहीं किया गया है। यह चुने हुए एप्लिकेशन के व्यवहार और दो सरल मेट्रिक्स और प्रदर्शन के माध्यम से प्रदर्शित सह-निष्पादन अनुप्रयोगों के आधार पर डीवीएफएस चरणों के बीच संबंध बनाता है। इसे किसी भी डीवीएफएस नियंत्रक का हिस्सा बनने के लिए संशोधित किया जा सकता है। हम विभिन्न क्यूओएस नीतियों पर विचार करके अपने प्रस्तावित मॉडल की प्रभावकारिता प्रदर्शित करते हैं जहां उपयोगकर्ता अधिकतम अनुमेय गति हानि को निर्दिष्ट करता है। मॉडल न्यूनतम संभव वोल्टेज/आवृत्ति कदम की भविष्यवाणी करता है जैसे कि क्यूओएस आवश्यकता पूरी हो और ऊर्जा की बचत अधिकतम हो।

Solomon abera bekele: सोलोमोन आबेरा बेकेले

Contents

List of Figures